

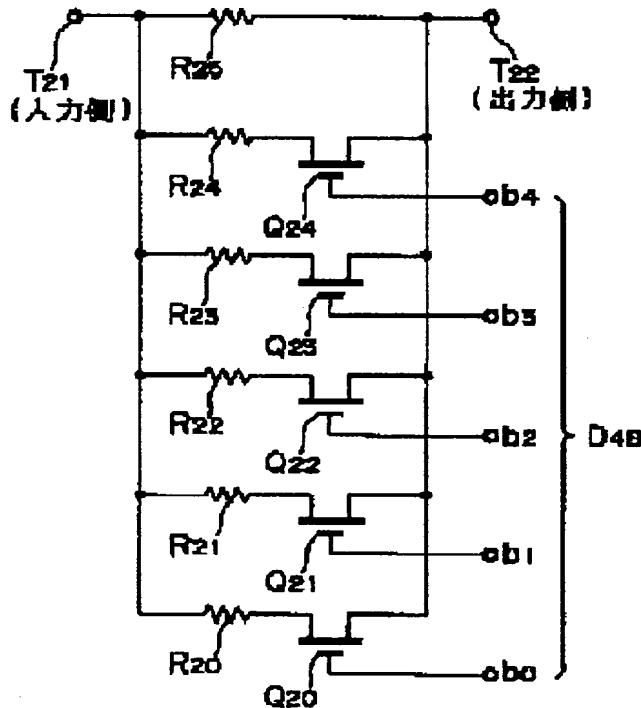
# VARIABLE RESISTANCE CIRCUIT, VARIABLE FILTER CIRCUIT, ADJUSTMENT CIRCUIT FOR THE CIRCUITS AND RECEIVER EMPLOYING THESE CIRCUITS

Patent number: JP2001068967  
Publication date: 2001-03-16  
Inventor: OKASHIN YAMATO  
Applicant: SONY CORP  
Classification:  
- international: H03H11/24; H04B1/10; H03H11/02; H04B1/10; (IPC1-7): H03H11/24; H04B1/10  
- european:  
Application number: JP19990242500 19990830  
Priority number(s): JP19990242500 19990830

[Report a data error here](#)

## Abstract of JP2001068967

**PROBLEM TO BE SOLVED:** To provide a variable resistance circuit with excellent linearity. **SOLUTION:** A series circuit comprising resistors R24-R20 and drains and sources of MOSFETs (Q24-Q20) is connected between a terminal T21 receiving an input signal and a terminal T22 from which an output signal is extracted. In this case, the resistors R24-R20 are connected to the terminal T21. Applying each of bits b4-b0 of control data D48 respectively to gates of the MODFETs (Q24-Q20) conducts ON/OFF control of the MOSFETs (Q24-Q20). Though the on/off control of the above, a resistance depending on the resistors connected in series with the conductive MOSFETs is obtained between the terminals T21, T22.



VR11(VR12~VR14)

---

Data supplied from the [esp@cenet](mailto:esp@cenet) database - Worldwide

(19) 日本特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-68967

(P2001-68967A)

(43) 公開日 平成13年3月16日 (2001.3.16)

(51) Int.Cl.<sup>7</sup>  
H 03 H 11/24  
11/04  
H 04 B 1/10  
1/16

識別記号

F I  
H 03 H 11/24  
11/04  
H 04 B 1/10  
1/16

テマコード(参考)  
B 5 J 0 9 8  
D 5 K 0 5 2  
G 5 K 0 6 1  
H  
C

審査請求 未請求 請求項の数 6 O L (全 12 頁)

(21) 出願番号 特願平11-242500

(22) 出願日 平成11年8月30日 (1999.8.30)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 関信 大和

東京都品川区北品川6丁目7番35号 ソニ  
ー株式会社内

(74) 代理人 100091546

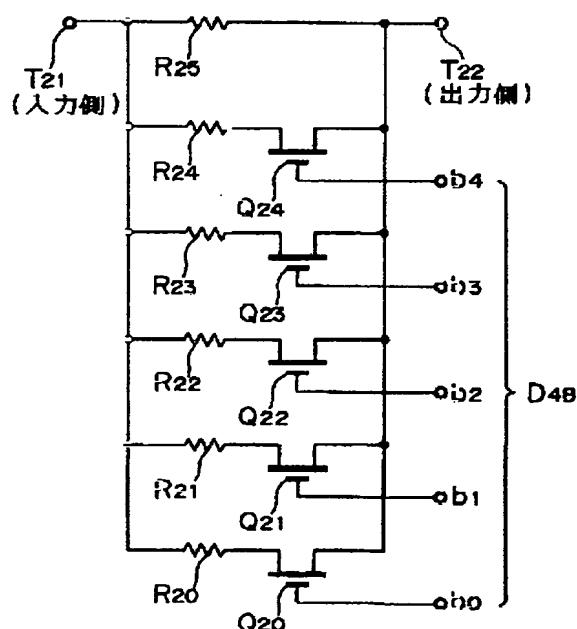
弁理士 佐藤 正美

最終頁に続く

(54) 【発明の名称】 可変抵抗回路、可変フィルタ回路、それらの調整回路およびこれらを使用した受信機

(57) 【要約】

【課題】 直線性の優れた可変抵抗回路を提供する。  
【解決手段】 入力信号の供給される端子T21と、出力信号を取り出す端子T22との間に、抵抗器R24～R20とMOS-FET (Q24～Q20) のドレイン・ソース間との直列回路を接続する。このとき、抵抗器R24～R20が端子T21側となるように接続する。MOS-FET (Q24～Q20) のゲートに、制御データD48の各ビットb4～b0をそれぞれ供給してMOS-FET (Q24～Q20) をオンオフ制御する。このオンオフ制御により、端子T21、T22の間に、オンとされたMOS-FETに直列接続されている抵抗器で決まる抵抗値を得る。



VR11 (VR12～VR14)

## 【特許請求の範囲】

【請求項1】入力信号の供給される第1の端子と、出力信号を取り出す第2の端子との間に、抵抗器とMOS-FETのドレイン・ソース間との直列回路の複数個が接続されるとともに、

上記抵抗器が上記第1の端子側となるように接続され、上記MOS-FETのゲートに、制御データの各ビットがそれぞれ供給されて上記MOS-FETはオンオフ制御され、

このオンオフ制御により、上記第1および第2の端子の間に、上記オンとされたMOS-FETに直列接続されている抵抗器で決まる抵抗値を得るようにした可変抵抗回路。

【請求項2】請求項1に記載のフィルタの調整回路において、

上記抵抗器は、この抵抗器に直列接続されているMOS-FETのゲートに供給される上記制御データのビットの重みに対応した抵抗値とされているようにした可変抵抗回路。

【請求項3】請求項2に記載のフィルタの調整回路において、

上記MOS-FETのゲート幅が、このMOS-FETに直列接続されている抵抗器の抵抗値に対応した大きさとされているようにした可変抵抗回路。

【請求項4】オペアンプと、  
このオペアンプに接続されてカットオフ周波数を決定するコンデンサおよび可変抵抗回路とを有し、

上記可変抵抗回路は、  
入力端と、出力端との間に、抵抗器とMOS-FETのドレイン・ソース間との直列回路の複数個が接続されるとともに、

上記抵抗器が上記第1の端子側となるように接続され、上記MOS-FETのゲートに、制御データの各ビットがそれぞれ供給されて上記MOS-FETはオンオフ制御され、

このオンオフ制御により上記カットオフ周波数が制御されるようにした可変フィルタ回路。

【請求項5】基準周波数を提供する基準信号と、  
デジタルデータにより通過特性が変更される可変フィルタ回路と、

上記基準信号と、上記フィルタ回路の出力信号との位相比較を行う位相比較回路と、

この位相比較回路の出力信号の大きさが規定の範囲から外れたとき、これを通知するウィンドウコンパレータ回路と、

このウィンドウコンパレータ回路の出力信号によりクロックをゲートするアンド回路と、

このアンド回路から出力されるクロックをカウントして上記デジタルデータを生成するカウンタと、

上記ウィンドウコンパレータ回路の出力信号にしたがって、上記フィルタ回路、上記位相比較回路および上記ウィンドウコンパレータ回路の電源動作を制御する回路とを有し、

上記中間周波フィルタ用および上記基準用のフィルタ回

て、上記フィルタ回路、上記位相比較回路および上記ウィンドウコンパレータ回路の電源動作を制御する回路とを有し、

上記可変フィルタ回路は、

オペアンプと、

このオペアンプに接続されてカットオフ周波数を決定するコンデンサおよび可変抵抗回路とを有し、

上記可変抵抗回路は、

入力端と、出力端との間に、抵抗器とMOS-FETのドレイン・ソース間との直列回路の複数個が接続されるとともに、

上記抵抗器が上記第1の端子側となるように接続され、上記MOS-FETのゲートに、上記デジタルデータの各ビットがそれぞれ供給されて上記MOS-FETはオンオフ制御され、

このオンオフ制御により上記カットオフ周波数が制御され、

上記ウィンドウコンパレータ回路の出力信号が、上記デジタルデータにより上記フィルタ回路の通過特性が変化するときの1ステップ分に対応する範囲に収まったとき、上記アンド回路において上記ウィンドウコンパレータ回路の出力信号を阻止して上記カウンタのカウントを停止させるとともに、上記制御する回路により上記可変フィルタ回路、上記位相比較回路および上記ウィンドウコンパレータ回路の動作電力の消費を停止させるようにしたフィルタ回路の調整回路。

【請求項6】目的とする周波数の受信信号を局部発振信号により中間周波信号に周波数変換するミキサ回路と、このミキサ回路から出力される上記中間周波信号の供給される中間周波フィルタ回路用のフィルタ回路と、この中間周波フィルタ用のフィルタ回路から出力される上記中間周波信号からもとの信号を復調する復調回路と、

基準周波数を提供する基準信号と、

デジタルデータにより通過特性が変更される基準のフィルタ回路と、

上記基準信号と、上記基準のフィルタ回路の出力信号との位相比較を行う位相比較回路と、

この位相比較回路の出力信号の大きさが規定の範囲から外れたとき、これを通知するウィンドウコンパレータ回路と、

このウィンドウコンパレータ回路の出力信号によりクロックをゲートするアンド回路と、

このアンド回路から出力されるクロックをカウントして上記デジタルデータを生成するカウンタと、

上記ウィンドウコンパレータ回路の出力信号にしたがって、上記フィルタ回路、上記位相比較回路および上記ウィンドウコンパレータ回路の電源動作を制御する回路とを有し、

上記中間周波フィルタ用および上記基準用のフィルタ回

路は、

オペアンプと、

このオペアンプに接続されてカットオフ周波数を決定するコンデンサおよび可変抵抗回路とを有し、

上記可変抵抗回路は、

入力端と、出力端との間に、抵抗器とMOS-FETのドレイン・ソース間との直列回路の複数個が接続されるとともに、

上記抵抗器が上記第1の端子側となるように接続され、上記MOS-FETのゲートに、上記デジタルデータの各ビットがそれぞれ供給されて上記MOS-FETはオンオフ制御され、

このオンオフ制御により上記カットオフ周波数が制御され、

上記ウインドウコンパレータ回路の出力信号が、上記デジタルデータにより上記フィルタ回路の通過特性が変化するときの1ステップ分に対応する範囲に収まったとき、上記アンド回路において上記ウインドウコンパレータ回路の出力信号を阻止して上記カウンタのカウントを停止させるとともに、上記制御する回路により上記フィルタ回路、上記位相比較回路および上記ウインドウコンパレータ回路の動作電力の消費を停止させるようにした受信機。

#### 【発明の詳細な説明】

##### 【0001】

【発明の属する技術分野】この発明は、可変抵抗回路、可変フィルタ回路、それらの調整回路およびこれらを使用した受信機に関する。

##### 【0002】

【従来の技術】デジタル音声放送として、ヨーロッパではDAB(Eureka147規格にしたがったデジタル音声放送)が採用され、日本ではISDB-Tが提案されている。

##### 【0003】

そして、ISDB-Tは、

伝送帯域幅：432 kHz(狭帯域ISDB-Tのとき)

変調方式：OFDM

多重方式：MPEG2

を採用することにより、複数チャンネルのデジタルオーディオデータやデジタルデータを同時に放送するものである。なお、放送には、狭帯域ISDB-Tのとき、現行のVHFのテレビ放送帯の使用が予定されている。

##### 【0004】

【発明が解決しようとする課題】ところで、上記のようなデジタル音声放送を受信する受信機において、その中間周波フィルタを、例えば図11～図13に示すようなアクティブフィルタにより構成することが考えられる。

【0005】ところが、これらのアクティブフィルタは、IC化した場合、その抵抗器およびコンデンサの値は、相対的には十分な精度とことができるが、絶対的には精度を高くすることはできず、値がばらついてしま

う。

【0006】このため、デジタル音声放送の受信機をIC化する場合、単純にIC化したのでは、抵抗器およびコンデンサのばらつきのため、中間周波フィルタの通過帯域(カットオフ周波数)がばらついてしまう。そして、中間周波フィルタの通過帯域がばらつくと、受信感度の低下、妨害特性の低下、デジタルオーディオデータのエラーレートの悪化など、受信性能の低下を招いてしまう。

【0007】また、アクティブフィルタは、図11～図13に示した回路以外にも各種の回路が考えられているが、どのアクティブフィルタにおいても、抵抗器およびコンデンサによりカットオフ周波数が決定されるので、受信機をIC化した場合、やはり中間周波フィルタの通過特性がばらつき、受信性能の低下を招いてしまう。

【0008】そこで、図11～図13などのアクティブフィルタの抵抗器を、FETのドレイン・ソース間で置き換えることで、そのドレイン・ソース間の等価抵抗を調整することにより、必要なカットオフ周波数を得ることが考えられる。

【0009】しかし、この方法の場合には、扱うことのできる信号のレベルが、ドレイン・ソース間の等価抵抗の非直線性により制限される。また、等価抵抗から発生するノイズが純抵抗器から発生するノイズよりも大きくなるので、S/Nが低下するとともに、ダイナミックレンジが狭くなってしまう。そして、デジタル音声放送では、信号の振幅および位相の両方を変調しているので、ダイナミックレンジは一般的のアナログ放送以上に必要である。

【0010】さらに、FETを可変抵抗器として使用する場合、そのゲート電圧が一定であっても、ソース・ゲート間の電圧およびドレイン・ゲート間の電圧によってもドレイン・ソース間の等価抵抗が変化するので、この等価抵抗をカットオフ周波数に対応した所定の値に保つために、制御回路が複雑になる。

【0011】また、アクティブフィルタの抵抗器を例えば図14あるいは図15に示す可変抵抗回路により実現し、IC化したときのカットオフ周波数のばらつきを吸収することも考えられる。すなわち、図14の回路においては、端子t11、t12間に抵抗器として作用するとともに、その等価抵抗値を電流I0の大きさにより変更することができる。

【0012】さらに、図15の回路においては、バッファアンプP11～P13の利得が1倍とされ、これらバッファアンプP11～P13が制御信号により切り換えられる。したがって、端子t13、t14間に、制御信号により8ステップにわたって変化する可変抵抗器として作用する。

【0013】ところが、図14の可変抵抗回路においては、端子t11、t12間に加わる信号レベルが大きくなると、回路の非直線性のため、等価抵抗値が変化してしま

い、フィルタ特性が変化してしまう。そして、このフィルタ特性の変化を軽減しようとすると、等価抵抗値の可変範囲が狭くなってしまう。つまり、この可変抵抗回路は、等価抵抗値の可変範囲と取り扱える信号の大きさとが相反してしまう。

【0014】また、図15の可変抵抗回路においては、信号レベルがバッファアンプP11～P13のダイナミックレンジの範囲内であれば、非直線性の影響が少ない。しかし、この可変抵抗回路の場合には、アンプP11～P13の構成上、ボルテージフォロワが必要であり、低い抵抗値を必要とするほど、低歪み・低ノイズで大電流駆動が要求されるなど、そのボルテージフォロワに要求される特性が厳しくなる。さらに、アンプの動作にも大電流が必要になるとともに、1つの抵抗器あたりの電流が増加するので、全体の消費電流も増加してしまう。

【0015】この発明は、以上のような問題点を解決しようとするものである。

#### 【0016】

【課題を解決するための手段】この発明においては、例えば、入力信号の供給される第1の端子と、出力信号を取り出す第2の端子との間に、抵抗器とMOS-FETのドレイン・ソース間との直列回路の複数個が接続されるとともに、上記抵抗器が上記第1の端子側となるように接続され、上記MOS-FETのゲートに、制御データの各ビットがそれぞれ供給されて上記MOS-FETはオンオフ制御され、このオンオフ制御により、上記第1および第2の端子の間に、上記オンとされたMOS-FETに直列接続されている抵抗器で決まる抵抗値を得るようにした可変抵抗回路とするものである。したがって、入力信号電圧と抵抗器に流れる電流とが直線関係となり、直線性の優れた可変抵抗回路となる。

#### 【0017】

【発明の実施の形態】〔デジタル音声放送受信機〕デジタル音声放送受信機は、例えば図1に示すように構成される。なお、図1は、狭帯域ISDB-T用の受信機の場合であり、スーパーへテロダイン方式に構成された場合である。

【0018】すなわち、狭帯域ISDB-Tの放送波がアンテナ11により受信され、この受信信号が電子同調方式のアンテナ同調回路12に供給されて目的とする周波数の受信信号SRXが取り出され、この信号SRXがAGC用の可変利得アンプ13および電子同調方式の段間同調回路14を通じてミキサ回路15I、15Qに供給される。

【0019】また、PLL31において所定の周波数の発振信号が形成され、この発振信号が分周回路32に供給されて受信信号SRXのキャリア周波数（中心周波数）よりも例えば500kHzだけ高く、かつ、位相が互いに90°異なる2つの信号に分周され、この分周信号がミキサ回路15I、15Qに局部発振信号として供給される。

【0020】こうして、ミキサ回路15I、15Qにおいて、受信信号SRXは位相が互いに90°異なる2つの中間周波信号SIFI、SIFQ（中間周波数は500kHz）、すなわち、互いに直交するI軸およびQ軸の中間周波信号SIFI、SIFQに周波数変換される。

【0021】なお、このとき、PLL31から、そのVCO（図示せず）の可変容量ダイオードに供給される制御電圧の一部が取り出され、この制御電圧が同調回路12、14に同調電圧として供給され、受信信号SRXに対する同調が実現される。

【0022】そして、ミキサ回路15I、15Qからの中間周波信号SIFI、SIFQが、ローパスフィルタ16I、16Qを通じて移相回路17I、17Qに供給され、この移相回路17I、17Qにおいて、信号SIFI、SIFQは位相（ $\phi + 90^\circ$ ）だけそれぞれ移相される。そして、この移相後の中間周波信号SIFI、SIFQが加算回路18に供給され、加算回路18からは、イメージ信号成分が相殺された中間周波信号SIFが取り出される。

【0023】続いて、この中間周波信号SIFが、中間周波フィルタ用のバンドパスフィルタ19→AGC用の可変利得アンプ21→ローパスフィルタ22の信号ラインを通じて復調回路23に供給される。この復調回路23は、図示はしないが、ISDB-Tの送信時の変調処理に対応して、複素フーリエ変換、周波数ディンターリーク、タイム・ディンターリーク、複数のチャンネルのうちの目的とするチャンネルのデジタルオーディオデータの選択、エラー訂正およびデータ伸長などの復調処理を行うものである。

【0024】したがって、復調回路23からは、複数の番組（チャンネル）のうちの目的とする番組のオーディオ信号L、Rが取り出される。

【0025】また、このとき、ローパスフィルタ22からの中間周波信号SIFがAGC検波回路35に供給されてAGC電圧V35が形成され、このAGC電圧V35が可変利得アンプ21に利得の制御信号として供給される。

【0026】さらに、ローパスフィルタ16I、16Qからの中間周波信号SIFI、SIFQがAGC検波回路33に供給されて遅延AGC電圧V33が形成され、このAGC電圧V33が加算回路34に供給されるとともに、AGC電圧V35が加算回路34に供給される。そして、加算回路34からはAGC電圧V33、V35の加算電圧V34が取り出され、この電圧V34が可変利得アンプ13に利得の制御信号として供給される。

【0027】したがって、AGC電圧V34により同調回路12からの受信信号SRXに対してAGCが行われるとともに、AGC電圧V35によりバンドパスフィルタ19からの中間周波信号SIFに対してAGCが行われる。

【0028】そして、この受信機によれば、同調回路12、14、PLL31のVCOの共振回路および復調回

路23を除いて、1チップIC化することができる。

【0029】[調整回路]図1における中間周波フィルタ用のバンドパスフィルタ19は、IC化した場合、上述のように抵抗器およびコンデンサがばらつくため、その通過帯域がばらついてしまうが、これを自動的に規定値に調整するため、その調整回路が例えば図2に示すように構成される。

【0030】すなわち、図2において、符号40は、その調整回路を全体として示し、符号40Aは、調整回路40のうちのアナログ処理部を示す。このアナログ処理部40Aは、回路41～44を有するものであるが、例えばPLL31の基準信号を分周することにより基準となる一定の周波数f31(例えば、1MHz)の信号S31が形成され、この信号S31が位相比較回路41に基準信号として供給されるとともに、ローパスフィルタ42に供給され、このフィルタ42の出力信号S42が位相比較回路41に供給される。

【0031】この場合、詳細な構成は後述するが、フィルタ42は、2次のローパスフィルタとされるとともに、例えば5ビットのデジタルデータ(バイナリコード)D48により、そのカットオフ周波数f42を変更できる可変ローパスフィルタとされる。したがって、フィルタ42の位相特性は、図4に示すようになり、カットオフ周波数f42において90°の位相遅れを示すとともに、この90°の位相遅れを示す周波数f42(=カットオフ周波数)は、破線あるいは鎖線で示すように変更できることになる。また、このことにより、信号S31、S42の周波数f31における位相遅れ量を変更できることになる。つまり、フィルタ42は、信号S42から見ると、可変位相回路でもある。

【0032】そして、位相比較回路41の比較出力がループフィルタ43に供給されて信号S31と信号S42との位相差に対応したレベルの直流電圧V43が取り出され、この電圧V43がウインドウコンバーティ回路44に供給されて基準電圧(VCT±ΔV)と比較され、2値の比較出力S44が取り出される。この場合、電圧VCTは、信号S31と信号S42との位相差が90°のときの電圧V43に等しく、電圧ΔVは、データD48の1 LSBに対応する大きさである。また、比較出力S44は、

VCT-ΔV < V43 < VCT+ΔV のとき、S44 = "L" レベル

V43 ≤ VCT-ΔV のとき、S44 = "H" レベル

V43 ≥ VCT+ΔV のとき、S44 = "H" レベル

となるものである。

【0033】そして、この比較出力S44がアンド回路45、47にゲート制御用として供給されるとともに、例えばPLL31の基準信号を分周することにより、所定の周波数(例えば、1/7MHz)のクロックPCKが形成され、このクロックPCKがアンド回路45に供給される。そして、このアンド回路45の出力パルスP45が例えば

4ビットのカウンタ46にカウント入力として供給され1/16の周波数に分周され、その分周パルスがアンド回路47に供給される。

【0034】そして、アンド回路47の出力パルスP47が、例えば5ビットのプリセッタブルダウンカウンタ48にカウント入力として供給され、そのカウント値がデータD48として取り出され、このカウント値D48が上記のようにフィルタ42にそのカットオフ周波数f42および位相遅れ量の調整信号として供給される。

【0035】さらに、中間周波フィルタ用のバンドパスフィルタ19も、デジタルデータにより、その通過帯域(カットオフ周波数)を変更できる可変バンドパスフィルタとされ、カウンタ48のカウント値D48がフィルタ42にそのカットオフ周波数の調整信号として供給される。

【0036】こうして、回路41～48によりフィードバックループが構成され、後述から明らかのように、基準信号S31の周波数f31を基準として、フィルタ42、19のカットオフ周波数が調整される。そして、この調整が終了したとき、その状態でアナログ処理部40Aの動作を停止させるため、さらに、次のように構成される。

【0037】すなわち、受信機のシステムコントローラ(図示せず)において、調整信号SADJが形成される。この調整信号SADJは、電源の投入時のように、バンドパスフィルタ19の通過帯域を調整する必要があるとき、例えば図3Aに示すように、期間t1～t4にわたって"H"レベルとなり、他の期間には"L"レベルとなる信号である。

【0038】そして、この信号SADJがアンド回路51に供給され、そのアンド出力S51が電源回路52に制御信号として供給される。この電源回路52は、調整回路40のアナログ処理部40Aのためのものであり、S51 = "H"のとき、電源回路52から直流電圧V52が输出され、この電圧V52がアナログ処理部40Aにその動作電圧として供給される。

【0039】さらに、調整信号SADJがカウンタ48にプリセッタ信号として供給され、信号SADJの立ち上がりによりカウンタ48のカウント値は最大値"11111"にプリセッタされる。また、調整信号SADJが遅延回路53に供給され、例えば図3Bに示すような信号、すなわち、信号SADJが立ち上がってから所定の期間でだけ遅れて立ち上がり、信号SADJの立ち下がりにより立ち下がる信号S53が形成され、この信号S53がカウンタ48にカウントの許可信号として供給されるとともに、 NAND回路54に供給される。

【0040】また、ウインドウコンバーティ回路44の比較出力S44が、インバータ55を通じてNAND回路54に供給され、そのNAND出力S54がアンド回路51に供給される。さらに、アンド回路51のアンド出力S51

がウインドウコンバレータ回路44にリセット信号として供給される。

【0041】このような構成において、図3Aに示すように、時点t1には調整信号SADJが“L”レベルであるとする。すると、アンド出力S51が“L”レベルなので、図3Dに示すように、電源回路52の出力電圧V52は出力されず、アナログ処理部40Aは動作を停止している。

【0042】また、アナログ処理部40Aに電源電圧が供給されていないときには、図3Cに示すように、比較出力S44は“L”レベルであり、したがって、図3E、Fに示すように、パルスP45、P47は出力されていないので、カウンタ48のカウントは行われていない。

【0043】さらに、調整信号SADJが“L”レベルなので、図3Bに示すように、信号S53も“L”レベルとなっているとともに、これにより NAND 出力S54は“H”レベルである。

【0044】しかし、時点t1に調整信号SADJが“H”レベルになると、このとき、S53=“L”であり、S54=“H”なので、S51=“H”となり、電源回路52からは電圧V52が出力されるようになる。したがって、時点t1から電圧V52がアナログ処理部40Aに動作電圧として供給されるようになり、時点t1からアナログ処理部40Aは動作を開始する。

【0045】ただし、アナログ処理部40Aは、動作電圧が供給されるようになった直後は、動作が安定していない。そして、時点t1から期間 $\tau$ が経過した時点t2に、動作が安定する（期間 $\tau$ は、そのような長さに設定されるものであり、例えば $\tau=200\ \mu\text{秒}$ ）。

【0046】また、調整信号SADJが“H”レベルになると、この信号SADJの立ち上がりによりカウンタ48には最大値“11111”がプリセットされ、D48=“11111”となる。そして、このカウント値D48がフィルタ42にカットオフ周波数f42の調整信号として供給されているので、フィルタ42のカットオフ周波数f42は、カウント値D48に対応して例えば最高値となる。

【0047】すると、このカットオフ周波数f42は、一般に基準信号S31の周波数f31とは異なっているので、比較出力S44は“H”レベルとなる。この結果、アンド回路45からパルスP45が出力されるようになるとともに、アンド回路47からパルスP47が出力されるなり、このパルスP47がカウンタ48にカウント入力として供給されるようになる。

【0048】そして、時点t2になると、アナログ処理部40Aの動作が安定するが、このとき、信号S53が“H”レベルになるので、カウンタ48におけるダウンカウントが許可される。したがって、時点t2から、カウンタ48のカウント値D48は最大値“11111”から次第に小さくなっていき、これに対応してフィルタ4

2のカットオフ周波数f42も最高値から次第に低くなっていく。

【0049】そして、時点t3に、フィルタ42のカットオフ周波数f42が基準信号S31の周波数f31に等しくなると（厳密には言えば、フィルタ42のカットオフ周波数が基準信号S31の周波数に対して規定の許容範囲（データD48の1LSBに対応する周波数範囲）に入つたとすれば）、このとき、信号S31に対する信号S42の位相遅れ量 $\theta$ が90°となるので、V43=VCTとなり、この結果、S44=“L”となる。

【0050】すると、アンド回路45からパルスP45が出力されなくなるとともに、アンド回路47からもパルスP47が出力されなくなり、カウンタ48のカウントは停止する。つまり、フィルタ42のカットオフ周波数f42が基準信号S31の周波数f31に等しくなったとき、カウンタ48のカウントはそのときのカウント値で停止する。

【0051】また、S44=“L”になると、インバータ55の出力が“H”レベルになるとともに、このとき、S53=“H”なので、NAND出力S54は“L”レベルとなる。この結果、S51=“L”となるので、電源回路52からは電源電圧V52が出力されなくなり、アナログ処理部40Aは動作を停止する。

【0052】そして、時点t4になると、調整信号SADJも“L”レベルとなり、これにより信号S53も“L”レベルとなる。なお、この時点t4以後は時点t1以前と同じである。

【0053】また、カウンタ48のカウントは時点t3に停止したが、この停止により時点t3におけるカウント値D48は、時点t3以後も保持されている。したがって、フィルタ42のカットオフ周波数f42は、時点t3以後も、基準信号S31の周波数f31に等しい周波数に保持されている。

【0054】そして、このとき、フィルタ19にもカウント値D48が調整信号として供給されているので、フィルタ19の通過帯域（カットオフ周波数）も、基準信号S31の周波数f31に対応した周波数となっているとともに、その通過帯域は時点t3以後も保持される。

【0055】こうして、上述の調整回路40によれば、バンドパスフィルタ19の通過帯域を基準信号S31の周波数f31を基準にして目的とする通過帯域に調整することができる。そして、その場合、特に上述の調整回路40によれば、フィルタ19の調整後は、アナログ処理部40Aの動作電圧を切ることができるので、消費電流を低減することができる。

【0056】また、フィルタ19の調整後は、アナログ処理部40Aは電力消費が停止しているとともに、回路45～48、51～55における信号も“L”レベルあるいは“H”レベルに固定されているので、放送の受信にノイズ妨害を与えることがない。

【0057】さらに、フィルタ19の通過帯域は、一度調整すると、電源をオフにしないかぎり、カウンタ48により保持され、放送の受信中に再調整をする必要がない。また、ループフィルタ43のために大容量のコンデンサをICに外付けする必要もない。さらに、フィルタ19の通過帯域の基準となる基準信号S31は、PLL31の基準信号から形成することができるので、あるいはPLL31の基準信号の形成回路と、基準信号S31の形成回路とを共用することができるので、部品点数の増加がない。

【0058】[ローパスフィルタ42] ローパスフィルタ42は、例えば図5に示すように、バイカット型に構成することができる。すなわち、入力端子T11が、後述する可変抵抗回路VR11を通じてオペアンプA11の反転入力端に接続され、その出力端と反転入力端との間に、コンデンサC11と可変抵抗回路VR12との並列回路が接続される。

【0059】また、オペアンプA11の出力端が、可変抵抗回路VR13を通じてオペアンプアンプA12の反転入力端に接続され、このオペアンプA12の出力端が出力端子T12に接続されるとともに、その出力端と反転入力端との間に、コンデンサC12が接続される。

【0060】さらに、オペアンプA12の出力端が抵抗器R11を通じてオペアンプA13の反転入力端に接続され、このオペアンプA13の出力端と反転入力端との間に、抵抗器R12が接続され、その出力端が可変抵抗回路VR14を通じてオペアンプA11の反転入力端に接続される。

【0061】そして、データ(カウント値)D48が制御端子T13を通じて可変抵抗回路VR11～VR14にその制御信号として供給される。また、オペアンプA11～A13の非反転入力端は接地される。

【0062】このような構成によれば、この回路は、2次のローパスフィルタとして動作するとともに、そのカットオフ周波数f42および位相遅れ量をデータD48により変更することができる。そして、そのとき、IC化が容易である。

【0063】[可変抵抗回路VR11～VR14] 可変抵抗回路VR11～VR14のそれぞれは、例えば図6に示すように構成することができる。すなわち、端子T21と端子T22との間に、抵抗器R25が接続されるとともに、抵抗器R24～R20と、MOS-FET(Q24～Q20)のドレン・ソース間との各直列回路が接続される。また、FET(Q24～Q20)のゲートに、データD48のビットb4～b0がそれぞれ供給される。

【0064】そして、この可変抵抗回路VR11～VR14が、図5のフィルタ42に使用される場合、可変抵抗回路VR11、VR13は、端子T21が前段側、端子T22が後段側となるように接続され、可変抵抗回路VR12、VR14は、端子T21が後段側、端子T22が前段側となるように接続される。すなわち、可変抵抗回路VR11～VR14

をそれぞれ流れる信号から見て、端子T21が入力側となり、端子T22が出力側となるように接続される。

【0065】また、抵抗器R24～R20の抵抗値は、ビットb4～b0の重みに対応して

$$R24 = 2 \cdot REF$$

$$R23 = 4 \cdot REF$$

$$R22 = 8 \cdot REF$$

$$R21 = 16 \cdot REF$$

$$R20 = 32 \cdot REF$$

ただし、REFは基準値とされる。さらに、目的とする抵抗値を値R0とすれば、

$$REF = 1.5 \cdot R0$$

$$R25 = REF$$

とされる。

【0066】例えば、端子T21と端子T22との間に、2kΩ(=R0)を中心とし、1.5kΩ～3kΩの間を変化する抵抗値を得る場合には、抵抗器R25～R20の抵抗値は、

$$R25 = 3 k\Omega$$

$$R24 = 6 k\Omega$$

$$R23 = 12 k\Omega$$

$$R22 = 24 k\Omega$$

$$R21 = 48 k\Omega$$

$$R20 = 96 k\Omega$$

とされる。

【0067】さらに、FET(Q24～Q20)のゲート幅W24～W20もビットb5～b0の重みに対応して、例えば

$$W24 = 32 \mu m$$

$$W23 = 16 \mu m$$

$$W22 = 8 \mu m$$

$$W21 = 4 \mu m$$

$$W20 = 2 \mu m$$

とされる。

【0068】このような構成において、データD48がb4～b0 = "00000"のときには、すべてのFET(Q24～Q20)がオフとなるので、端子T21と端子T22との間には、抵抗器R25だけが接続されたことになり、端子T21、T22間の抵抗値は3kΩ(=R25)となる。

【0069】しかし、データD48がb4～b0 = "00001"のときには、FET(Q24～Q21)がオフ、FET(Q20)がオンとなるので、端子T21と端子T22との間には、抵抗器R25と抵抗器R20とが並列接続されたことになり、端子T21、T22間の抵抗値は抵抗器R25、R20の並列値(3kΩ || 96kΩ)となる。

【0070】さらに、データD48がb4～b0 = "00010"のときには、FET(Q24～Q22、Q20)がオフ、FET(Q21)がオンとなるので、端子T21と端子T22との間には、抵抗器R25と抵抗器R21とが並列接続されたことになり、端子T21、T22間の抵抗値は抵抗器

R25、R20の並列値 ( $3\text{ k}\Omega \parallel 48\text{ k}\Omega$ ) となる。

【0071】以下同様に、データD48が1 LSB 大きくなるごとに、端子T21、T22間には、 $96\text{ k}\Omega$ ずつ並列に接続されていく。そして、データD48が $b_4 \sim b_0 = "111111"$  のときには、すべてのFET (Q24～Q20) がオンとなるので、端子T21と端子T22との間に、すべての抵抗器R25～R20が並列接続されることになり、端子T21、T22間の抵抗値は、抵抗器R25～R20の並列値である約 $1.5\text{ k}\Omega$ となる。

【0072】したがって、端子T21と端子T22との間の抵抗値は、 $3\text{ k}\Omega$ ～約 $1.5\text{ k}\Omega$ の間を32ステップにわたって変化することとなり、この回路は、可変抵抗回路VR11 (VR12～VR14) として動作する。

【0073】そして、これら可変抵抗回路VR11～VR14をローパスフィルタ42に使用する場合、可変抵抗回路VR11～VR14をそれぞれ流れる信号から見て、端子T21が入力側となり、端子T22が出力側となるように接続しているので、以下に述べるように、入力信号により抵抗値の変化することがない。

【0074】すなわち、図6の可変抵抗回路VR11のうち、説明のため、抵抗器R25、R24およびFET (Q24) を抜き出して示すと、図7Aのとおりである。なお、符号Einは入力信号電圧、符号VSはバイアス電圧、符号RLは負荷を示す。また、符号Q41、Q42は、カウンタ48のビット $b_4$ の出力部を構成するFETである。これに対して、図7Bは、抵抗器R24をFET (Q24) のソースと出力端子T22との間に接続した場合である。

【0075】すると、図7Bの接続の場合には、入力信号電圧Einに近い値が、そのままコモンモードとしてFET (Q24) のソース・ゲート間およびドレイン・ゲート間に印加されるので、ソース・ドレイン間の電圧は、抵抗器R24とFET (Q24) のオン抵抗とにより分割された小さな値となる。この結果、図8に曲線Bとして示すように、入力信号電圧EinとFET (Q24) に流れる電流I24との間に非直線性を生じてしまう。

【0076】しかし、図7Aの接続の場合には、FET (Q24) が、コモンモードでの電圧が0に近い電位の端子に接続されているので、入力信号電圧EinとFET (Q24) に流れる電流I24との関係は、図8に直線Aとして示すように直線になる。

【0077】したがって、レベルの大きい信号を扱っても、振幅や位相に歪みを生じることがないので、デジタル音声放送が信号の振幅および位相の両方を変調しても、デジタルデータを確実に得ることができる。また、制御回路が複雑になることもない。さらに、消費電力が増加することもない。

【0078】また、FET (Q24～Q20) のゲート幅W24～W20をビット $b_5 \sim b_0$ の重みに対応して違えてるので、FET (Q24～Q20) のオン抵抗を抵抗器R24

～R20に比例させることができ、そのオン抵抗がばらついても、端子T21、T22間の抵抗値が切り換わるときのステップの直線性を確保することができる。

【0079】[バンドパスフィルタ19] バンドパスフィルタ19は、例えば図9および図10に示すように、複数のフィルタを継続接続することにより構成することができる。なお、図9および図10においては、紙面の都合でバンドパスフィルタ19を2分割して示すもので、図9に図10が続く。

【0080】そして、この図9および図10において、オペアンプA31、可変抵抗回路VR31、VR32およびコンデンサによりバンドパスフィルタ93が構成され、計算回路18(図1参照)から中間周波信号SIFが供給される。そして、このフィルタ93の出力信号が、ローパスフィルタ94、95に順に供給される。この場合、ローパスフィルタ94は、オペアンプA41～A43、可変抵抗回路VR41～VR44、抵抗器およびコンデンサによりバイカット型に構成され、ローパスフィルタ95も、オペアンプA51～A53、可変抵抗回路VR51～VR54、抵抗器およびコンデンサによりバイカット型に構成される。

【0081】さらに、フィルタ95の出力信号がハイパスフィルタ96に供給される。このフィルタ96は、オペアンプA61、可変抵抗回路VR61、VR62およびコンデンサにより多重帰還型に構成され、その出力信号がフィルタ97に供給される。このフィルタ97も、フィルタ94と同様、オペアンプA71～A73、可変抵抗回路VR71～VR74、抵抗器およびコンデンサによりバイカット型に構成されるものであるが、オペアンプA71からバンドパスフィルタ出力が取り出され、オペアンプA72からローパスフィルタ出力が取り出される。

【0082】そして、これらバンドパスフィルタ出力と、ローパスフィルタ出力と、フィルタ96の出力信号とが、オペアンプA81に供給されて合成され、その出力信号がアンプA82を通じてローパスフィルタ99に供給される。このフィルタ99は、オペアンプA91、抵抗器およびコンデンサにより多重帰還型に構成されるものであり、このフィルタ99の出力信号がフィルタ19の出力信号として取り出される。

【0083】なお、オペアンプA31～A91は、どれも反転入力端に信号が供給され、反転アンプとして使用される。また、可変抵抗回路VR31～VR74は、例えば図6に示すように構成され、調整信号としてデータD48が供給される。

【0084】こうして、フィルタ19は、10次のバンドパスフィルタに構成され、ローパスフィルタ42のカットオフ周波数f42が基準信号S31の周波数f31に調整されると、これに連動してフィルタ19の通過帯域も所期の帯域に調整される。

【0085】[その他] 上述においては、電源回路52

の出力電圧V52がアナログ処理部40Aにその動作電圧として供給される場合であるが、アナログ処理部40Aに常に動作電圧を供給しておくとともに、信号S51によりアナログ処理部40Aのバイアス回路を制御することにより、S51=“H”的ときのみ、アナログ処理部40Aが動作電力を消費して目的とする動作を行うようにすることもできる。

【0086】また、フィルタ42は、基準信号S31の周波数f31のとき、90°の位相差を与える特性であればよく、例えばハイパスフィルタとすることもできる。さらに、カウンタ48をプリセッタブルアップカウンタとして最小値“00000”からカウントを開始してもよい。あるいは、フィルタ19の通過特性の調整に多少の時間がかかるてもよい場合には、カウンタ48を単なるアップカウンタあるいはダウンカウンタとし、ランダムな値からカウントを開始してもよい。

#### 【0087】

【発明の効果】この発明によれば、フィルタをIC化したとき、その通過特性を変更ないし調整することができるとともに、フィルタの特性を基準値に自動的に調整することができる。そして、そのとき、IC化が容易である。また、放送の受信にノイズ妨害を与えることがない。さらに、フィルタの通過帯域は、一度調整すると、放送の受信中に再調整をする必要がない。

【0088】さらに、歪みが小さく、しかも、大きなレベルの信号まで扱うことができ、ダイナミックレンジの広いフィルタとすることができます。また、次数の高いフィルタをも容易に実現することができる。

#### 【図面の簡単な説明】

【図1】この発明の一形態を示す系統図である。

【図2】この発明の一形態を示す系統図である。

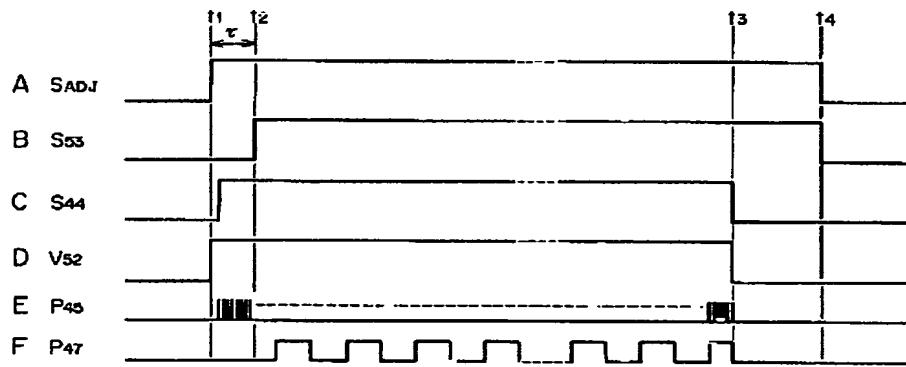
【図3】この発明を説明するための波形図である。  
 【図4】この発明を説明するための特性図である。  
 【図5】この発明を説明するための接続図である。  
 【図6】この発明の一形態を示す接続図である。  
 【図7】この発明を説明するための接続図である。  
 【図8】この発明を説明するための特性図である。  
 【図9】この発明を説明するための一部の接続図である。

【図10】図9の続きを示す接続図である。  
 【図11】この発明を説明するための接続図である。  
 【図12】この発明を説明するための接続図である。  
 【図13】この発明を説明するための接続図である。  
 【図14】この発明を説明するための接続図である。  
 【図15】この発明を説明するための接続図である。

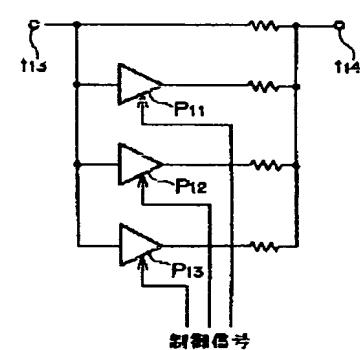
#### 【符号の説明】

11…アンテナ、12…同調回路、13…可変利得アンプ、14…同調回路、15Iおよび15Q…ミキサ回路、16Iおよび16Q…ローパスフィルタ、17Iおよび17Q…移相回路、18…加算回路、18Iおよび18Q…位相反転回路、19…バンドパスフィルタ、21…可変利得アンプ、22…ローパスフィルタ、23…復調回路、31…PLL、32…分周回路、33…AGC検波回路、34…加算回路、35…AGC検波回路、40…調整回路、40A…アナログ処理部、41…位相比較回路、42…ローパスフィルタ、43…ループフィルタ、44…ウインドウコンバーティ回路、45…アンド回路、46…分周回路、47…アンド回路、48…プリセッタブルダウンカウンタ、51…アンド回路、52…電源回路、53…遅延回路、54… NAND回路、55…インバータ、A11～A13…オペアンプ、VR11～VR14…可変抵抗回路

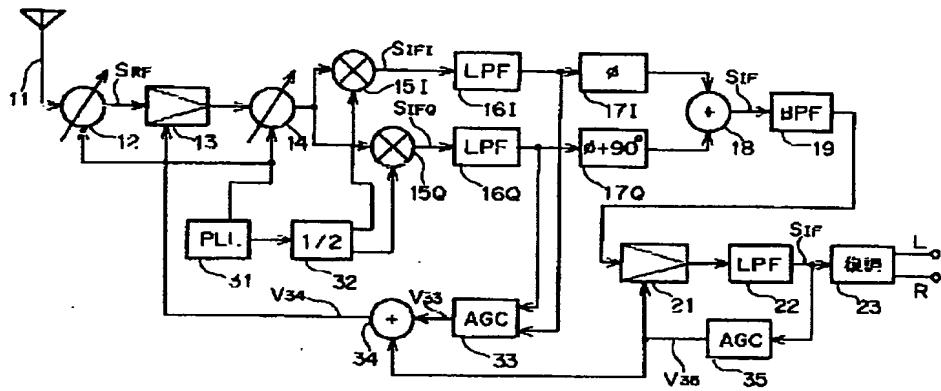
【図3】



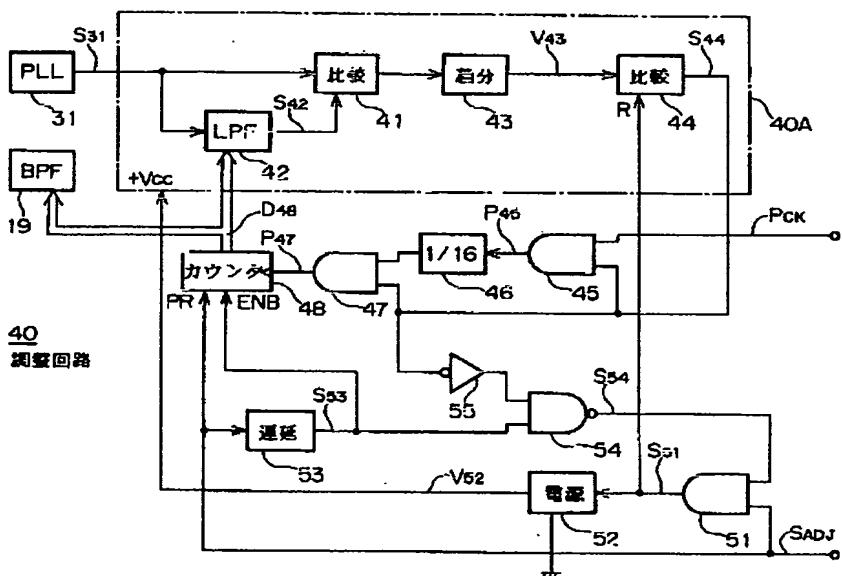
【図15】



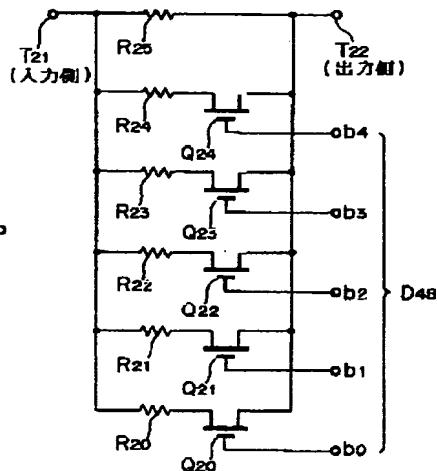
【図1】



【図2】

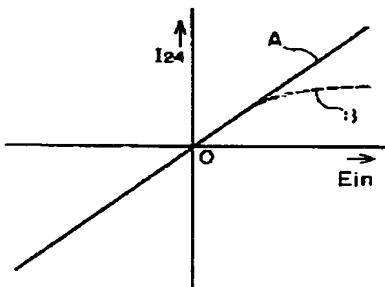
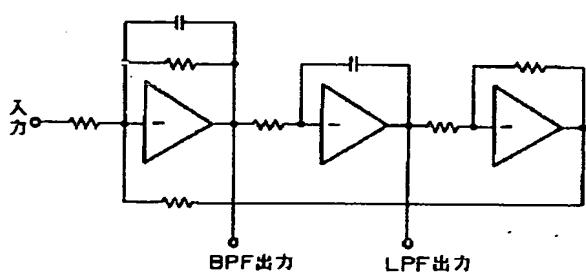


【図6】

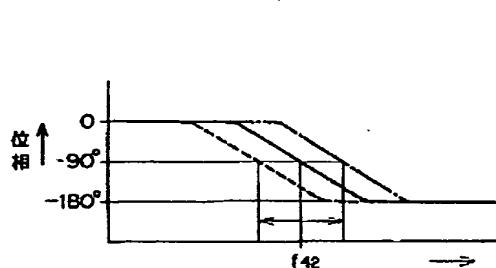


【図8】

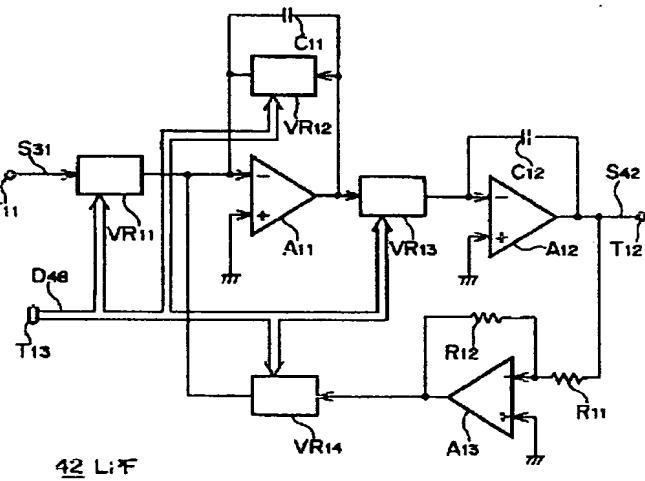
【図11】



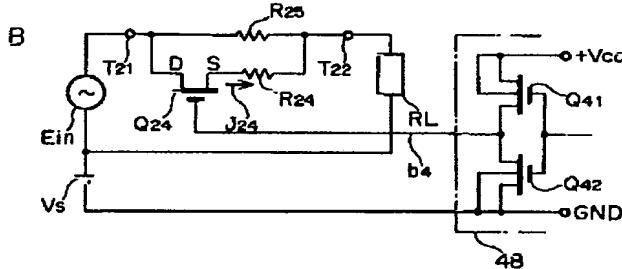
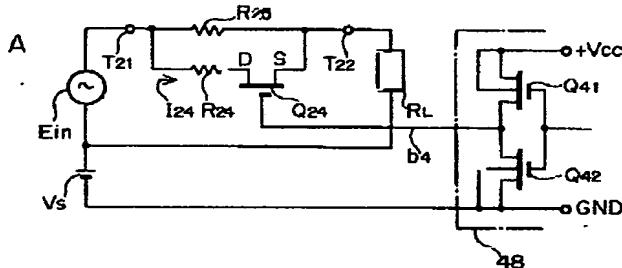
【図4】



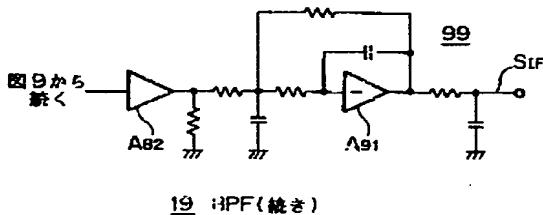
【図5】



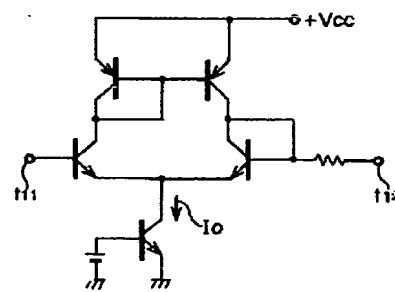
【図7】



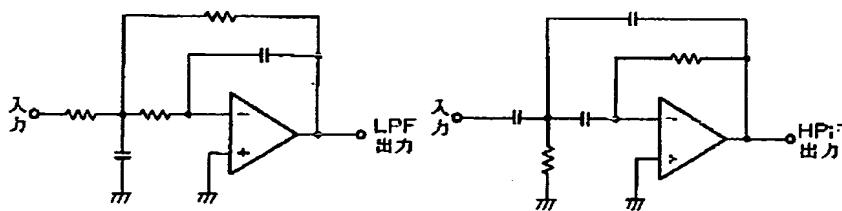
【図10】



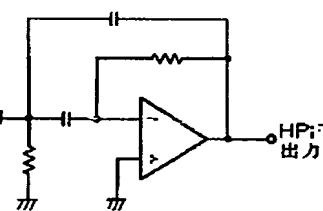
【図14】



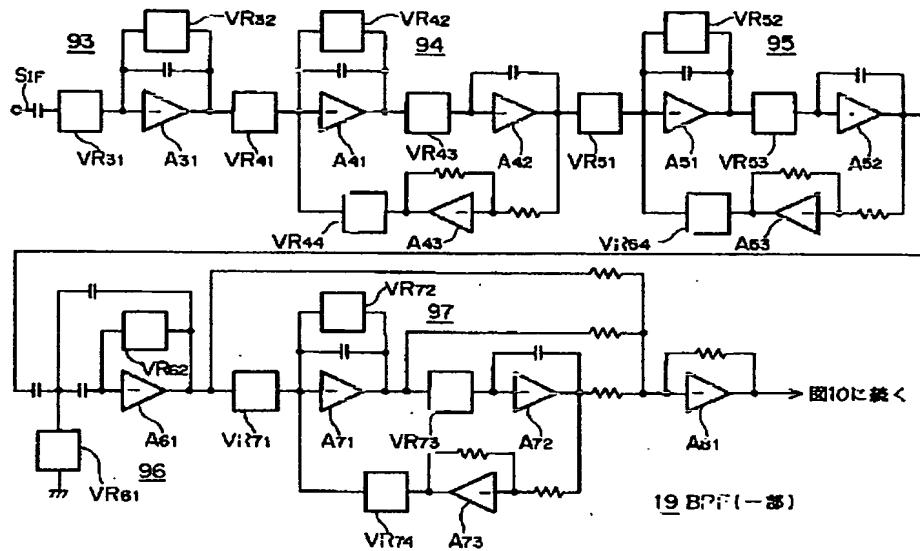
【図12】



【図13】



【図9】




---

フロントページの続き

Fターム(参考) 5J098 AA03 AB02 AB04 AB07 AB15  
 AB22 AB23 AB25 AB31 AB36  
 AC02 AC14 AC17 AD18 CA05  
 CB01 CB06 CB09  
 5K052 AA11 BB04 BB21 DD15 EE04  
 GG24 GG33  
 5K061 AA08 AA11 BB06 CC23 CD05  
 JJ02 JJ24

# CMOS differential voltage controlled logarithmic attenuator and method

Patent number: JP2001519613T

Publication date: 2001-10-23

Inventor:

Applicant:

Classification:

- international: H03G1/00; H03G7/00; H03H11/24; H03G1/00;  
H03G7/00; H03H11/02; (IPC1-7): G06F7/556;  
H03H11/24; H03G11/08; H03H7/24

- european: H03G1/00B6F; H03G1/00B8; H03G7/00; H03H11/24A  
Application number: JP20000515334T 19980430

Priority number(s): US19970942838 19971002; WO1998US08577  
19980430

Also published as:

 WO9918664 (A1)  
 EP1020027 (A1)  
 US5880618 (A1)  
 EP1020027 (A4)  
 EP1020027 (B1)

[Report a data error here](#)

Abstract not available for JP2001519613T

Abstract of corresponding document: **US5880618**

A logarithmic attenuator circuit includes a resistive attenuator in which the series resistors are P-channel MOSFETs with gate electrodes connected to VDD and the parallel resistors are P-channel MOSFETs which also function as switches. A control circuit (8B) produces a plurality of successive control signals (V1,2 . . . 10) on the gate electrodes of the successive MOSFETs which functions as switches in response to a gain control signal (VGC)

---

Data supplied from the **esp@cenet** database - Worldwide